

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

B41J 2/16

## [12] 发明专利申请公开说明书

[21] 申请号 01112132.7

[43] 公开日 2002 年 10 月 30 日

[11] 公开号 CN 1376582A

[22] 申请日 2001.3.26 [21] 申请号 01112132.7

[71] 申请人 研能科技股份有限公司

地址 台湾省新竹市科学园区研发二路 28 号 1 楼

[72] 发明人 林富山 周沁怡 张英伦

[74] 专利代理机构 上海专利商标事务所

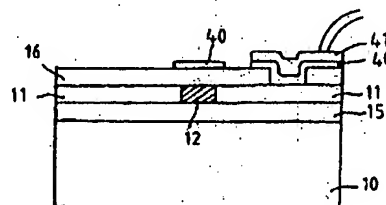
代理人 任永武

权利要求书 2 页 说明书 4 页 附图页数 6 页

[54] 发明名称 喷墨头芯片的制造方法

[57] 摘要

一种喷墨头芯片的制造方法,它包括形成一热障层、形成一多晶硅层、将多晶硅层的电阻区(层)部位遮蔽并对未遮蔽部位的多晶硅进行掺杂使之成为第一导电区(层)而使两者呈平整共存相接态、共存层上形成保护层等步骤。该方法是在形成薄膜时以同时加工的方式将电阻区(层)与导电区(层)设定在本身为电阻材质的多晶硅(Polycrystalline Silicon)的同一层材质上,以消除阶梯,并使芯片上的保护层保持平整状态,从而消除应力集中和容易破损的现象。



ISSN 1008-4274

知识产权出版社出版

BEST AVAILABLE COPY

## 权 利 要 求 书

1. 一种喷墨头芯片的制造方法，它包括下列步骤：

(1) 形成一热障层于一基板上；

(2) 形成一为电阻材质的多晶硅层于该热障层上；

(3) 以黄光及蚀刻方式限定多晶硅层所需的尺寸；

(4) 以光阻将多晶硅层上预计形成加热板的电阻区(层)部位遮蔽，而对其他未遮蔽部位的多晶硅进行掺杂，使之成为第一导电区(层)，此时第一导电区(层)与电阻区(层)由同一多晶硅所形成而使两者呈平整共存相接态；

(5) 在多晶硅的第一导电层与电阻层的共存层上形成保护层；

(6) 使用介层通孔(VIA Hole)技术在保护层上以黄光、蚀刻的方式将通路(VIA)限定出来；

(7) 形成接着层与第二导电层于保护层的通路(VIA)上；

(8) 以黄光、蚀刻的方式限定所需尺寸。

2. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(1)中，所述基板为一硅基板。

3. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(1)中，所述热障层为一二氧化硅( $\text{SiO}_2$ )层。

4. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(2)中，形成多晶硅的方式可以 CVD 或其他同效性加工方式进行。

5. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(2)中，多晶硅层为同性质的电阻材质所取代。

6. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(5)中，所述保护层为一氮化硅( $\text{Si}_3\text{N}_4$ )层。

7. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(5)中，所述保护层可为一碳化硅( $\text{SiC}$ )层。

8. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(5)中，所述保护层为一钽( $\text{Ta}$ )层。

9. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(5)中，所述保护层为氮化硅( $\text{Si}_3\text{N}_4$ )、碳化硅( $\text{SiC}$ )和钽( $\text{Ta}$ )的混合层。

10. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(7)

01.03.29

中，形成接着层与导电层的方式是以溅镀或其他同效性方式进行。

11. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(7)中，所述接着层为一钽(Ta)层。

12. 如权利要求 1 所述的喷墨头芯片的制造方法，其特征在于，于所述步骤(7)中，所述第二导电层为一金(Au)层。



## 说明书

### 喷墨头芯片的制造方法

本发明有关一种喷墨头芯片的制造方法。

在现有的芯片制作工艺中，如图 1 所示的大规模集成电路 (LSI) 制作工艺，是先在晶片硅基材上以  $\text{SiO}_2$  形成一层热障层薄膜，然后再以溅镀的方式先后镀上电阻层 (TaAl) 与导电层 (Al)，并以黄光及蚀刻的工艺限定所需尺寸，之后再以溅镀装置或化学气相沉积 (CVD) 装置镀上保护层 ( $\text{Si}_3\text{N}_4/\text{SiC}$ )，在此一制作方式中，因导电层与电阻层为上下两层，在限定尺寸时会因侵蚀效应而形成斜度，故保护层在导电层与电阻层交界处会形成阶梯 (Step) 现象，如图 2 中圆圈处所示；此种阶梯现象在后续进行的保护层形成时易造成应力集中、阶梯覆盖 (Step Coverage) 不良，或结构松散等状况。而喷墨头芯片的制造上也有相同的情况，在美国专利第 4,809,428 号中所揭示的喷墨头薄膜制法中也显示出阶梯现象依然存在，由图 3 上视图与图 4 剖面图所示，可得知喷墨头芯片薄膜在制造时导电层 20、22 与电阻层 34 间仍存在着阶梯现象；而喷墨头在列印时，加热板接触的电阻层需经受高电流、高温、机械冲击及化学侵蚀的环境，在这种状况下，保护层极易在阶梯部份产生裂缝或孔洞，进而造成破裂，使匣体内墨水渗入芯片薄膜的电阻层与导电层，造成元件损坏的现象发生。

上述的阶梯现象普遍存在于现有的芯片制作技术中，仍有待研发新的制造方法加以克服；本发明的目的在于提供一种喷墨头芯片的制造方法，在喷墨头芯片制造时以同时加工的方式将芯片的电阻层与导电层设定于同一层材料上，使其在限定尺寸时不会产生斜度，进而在镀上保护层时能消除阶梯现象。

为实现上述目的，本发明的制造方法是包括下述的步骤：(1) 形成一热障层于一基板上；(2) 形成一为电阻材质的多晶硅层于该热障层上；(3) 以黄光及蚀刻方式限定多晶硅所需的尺寸；(4) 以光阻将多晶硅层上预计形成加热板的电阻区 (层) 部位遮蔽，而对其他未遮蔽部位的多晶硅层进行掺杂，使之成为第一导电区 (层)；此时第一导电区 (层) 与电阻区 (层) 由同一多晶硅层所形成而使两者呈平整共存相接态；(5) 在芯片的第一导电区 (层) 与电阻区 (层) 的共存层上形成保护层；(6) 使用介层通孔 (VIA Hole) 技术在保护层上以黄光、蚀刻的方式将通路 (VIA) 限定出来；(7) 以溅镀或其他方式形成接着层 (Ta) 与第二导电层 (Au)；(8) 以黄光、蚀刻的方式限



定所需尺寸。

在本发明的喷墨头芯片的制造方法中，所述基板为一硅基板，而所述热障层是以氧化技术形成于所述硅基板上，所述热障层为一二氧化硅( $\text{SiO}_2$ )层；

在本发明的喷墨头芯片的制造方法中，于所述热障层上，以 CVD 或其他加工方式形成一层为电阻材质的多晶硅，此多晶硅层具有可通过掺杂(Doping)作用使荷电粒子增加而降低电阻率，而能变成为具有导电材料的特性，以将部份本体加工成导电层；借助黄光及蚀刻方式限定多晶硅层所需的尺寸，并以光阻将多晶硅层上预计形成加热板的电阻区(层)部位遮蔽，而对其他未遮蔽部位的多晶硅层进行掺杂，使的成为第一导电区(层)，此时第一导电区(层)与电阻区(层)因是由同一多晶硅层所形成，两者呈平整共存相接态；

在本发明的喷墨头芯片的制造方法中，在多晶硅层的第一导电区(层)与电阻区(层)的共生层上形成保护层，所述保护层是以 CVD 或溅镀等方式形成，所述保护层为一氮化硅( $\text{Si}_3\text{N}_4$ )层，或为一碳化硅( $\text{SiC}$ )层，或为一钽( $\text{Ta}$ )层，或混合使用。

在本发明的喷墨头芯片的制造方法中，在保护层上使用介层通孔(VIA Hole)技术，以黄光、蚀刻的方式将通路(VIA)限定出来；形成接着层与导电层于保护层上，所述接着层与第二导电层是以溅镀或其他方式形成，所述接着层可为一钽( $\text{Ta}$ )层，而所述第二导电层可为一金( $\text{Au}$ )层，最后再以黄光、蚀刻的方式限定所需尺寸。

采用本发明的上述技术方案，于芯片硅基板上形成一层热障层薄膜后，以化学气相沉积(CVD)或其他加工方式形成一层为电阻材质的多晶硅(Polycrystalline Silicon)材质，以光阻遮蔽电阻层所需的部份限定其尺寸，再以离子植入或扩散或其他方式对导电层进行掺杂(Doping)以提高其导电性，从而使电阻层与导电层同时形成且位于同一层，这样，本发明喷墨头芯片的制造方法与现有技术相比较，可得知本发明制法的优点是将芯片薄膜的覆层在硅基板上由原先的四层减为三层，即为热障层、导电与电阻共存层与保护层，因而消除了阶梯现象，使保护层得以保持平整状态；且以多晶硅层做为第一导电区与电阻区共存层的基材，使第一导电区(层)与电阻区(层)能相间并存，也是本发明的另一优点。故本发明的制造方法具有简化制造程序，提升喷墨头芯片品质的功效。

为更清楚理解本发明的目的、特点和优点，下面将结合附图对本发明的较佳实施例进行具体说明。

图 1 是为大型集成电路(LSI)制造工艺范例的示意图；

图 2 是现有的喷墨头芯片的结构示意图；



图 3 是为美国专利第 4,809,428 号所揭示的喷墨头芯片薄膜的俯视图;

图 4 是沿图 3 中 4A—4A 线所取的剖面图;

图 5 是为本发明喷墨头芯片结构的剖面图;

图 6 是为本发明喷墨头芯片结构的俯视图;

图 7a 是为本发明喷墨头芯片的一较佳实施例的制造流程 1 的示意图;

图 7b 是为本发明喷墨头芯片的一较佳实施例的制造流程 2 的示意图;

图 7c 是为本发明喷墨头芯片的一较佳实施例的制造流程 3 的示意图;

图 7d 是为本发明喷墨头芯片的一较佳实施例的制造流程 4 的示意图;

图 7e 是为本发明喷墨头芯片的一较佳实施例的制造流程 5 的示意图;

图 7f 是为本发明喷墨头芯片的一较佳实施例的制造流程 6 的示意图;

图 7g 是为本发明喷墨头芯片的一较佳实施例的制造流程 7 的示意图;

图 7h 是为本发明喷墨头芯片的一较佳实施例的制造流程 8 的示意图。

请参阅图 5 与图 6 所示,由剖面图与俯视图可得知本发明喷墨头芯片的结构在制造完成后,其电阻区(层)12 与导电区(层)11 是位于同一平面,且其厚度相同,因此在电阻区(层)12 与导电区(层)11 的交界处并不会形成阶梯,故镀布于其上方的保护层 16 能呈均匀且平整地分布,以确保加热板区域的平整性。

为获得上述喷墨头芯片的结构,本发明的制造流程如图 7a 至图 7h 所示,流程 1 是先在一硅基板 10 上以高温扩散或其他方式形成热障层 15 薄膜( $\text{SiO}_2$ );流程 2 是在热障层 15 上以 CVD 或其他加工方式形成一层为电阻材质的多晶硅 (Polycrystalline Silicon) 材质 18,此多晶硅层 18 本身具有可通过掺杂作用使荷电粒子增加而降低电阻率,可成为具有导电材料的特性;流程 3 是以黄光及蚀刻方式限定多晶硅层 18 所需的尺寸;流程 4 是以光阻 25 将多晶硅层 18 上预计形成加热板的电阻区(层)12 部位遮蔽,而对其他未遮蔽部位的多晶硅层 18 以离子植入、扩散或其他方式进行掺杂提高其导电性,使之成为第一导电区(层)11,此时第一导电区(层)11 与电阻区(层)12 因是由同一多晶硅 18 所分别形成,两者呈平整共存相接态,故没有阶梯现象产生;流程 5 是再以 CVD 或溅镀等方式在芯片的第一导电区(层)11 与电阻区(层)12 上形成保护层 16,流程 6 是在完成保护层 16 后,使用 LSI 制造工艺中常见的 VIA Hole 技术在保护层 16 上以黄光、蚀刻的方式将通路(VIA)限定出来,流程 7 是再以溅镀或其他方式形成接着层(Ta)40 与第二导电层(Au)41,流程 8 是以黄光、蚀刻的方式限定所需尺寸,即完成整个制造程序。

本发明的制造方法已通过一较佳实施例予以揭示,然而它并非用以限制本发

01.03.29

明，熟悉本技术的人员，在不脱离本发明的精神的情况下还可作出种种的等效变换，如多晶硅以同质性的材质取代，但这些等效变换都应包括在本发明的专利保护范围内。

# 说明书附图

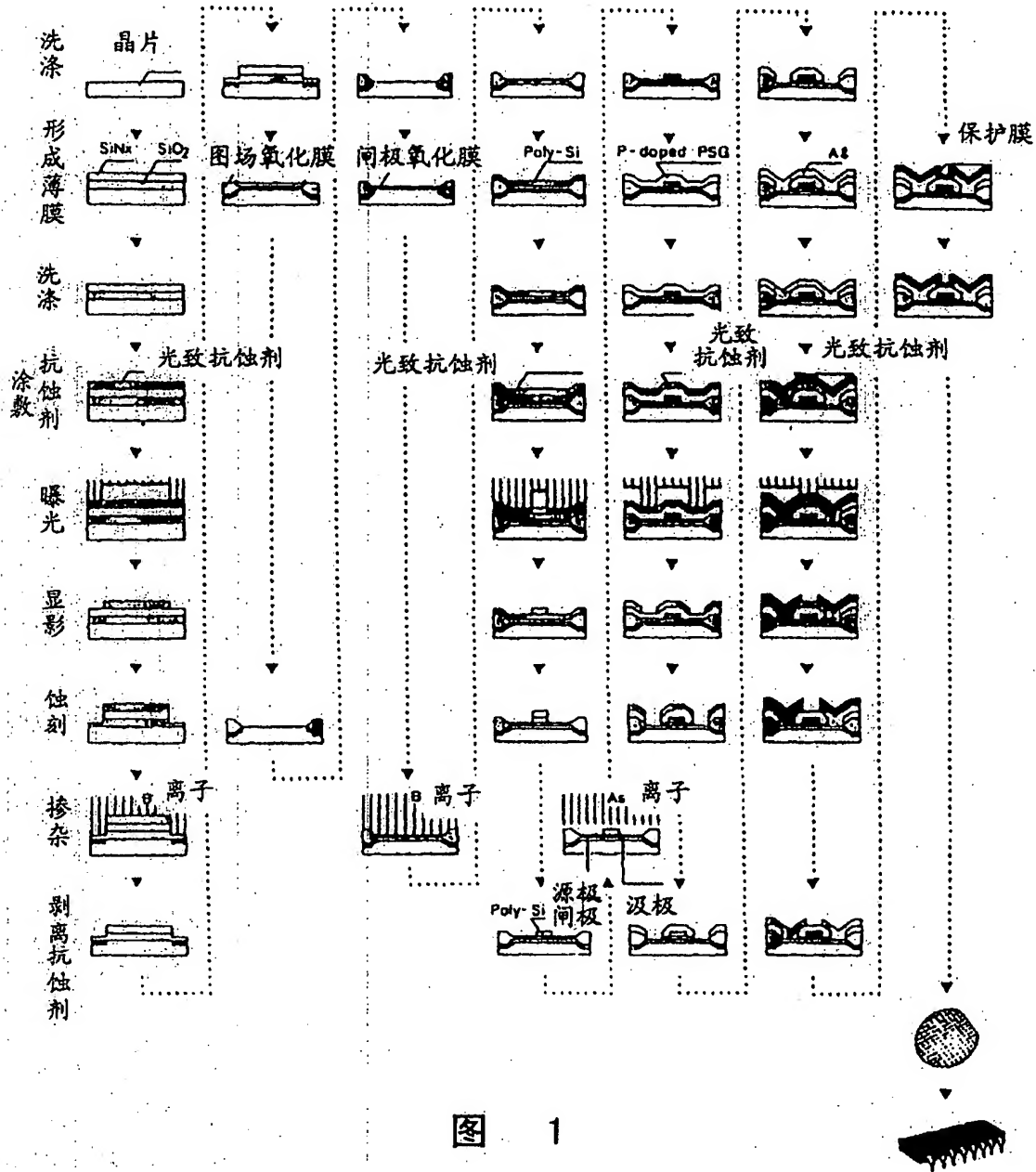


图 1



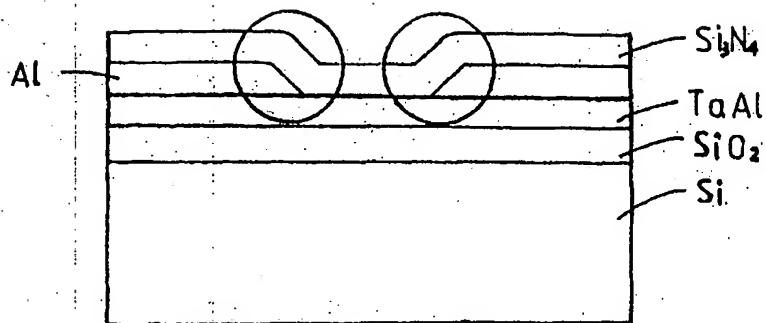


图 2

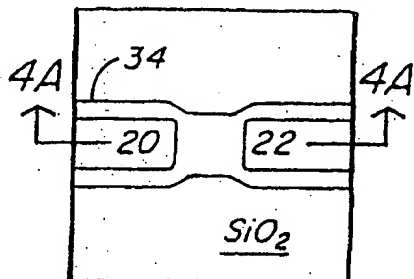


图 3

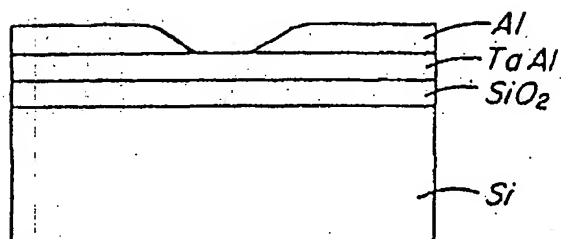


图 4

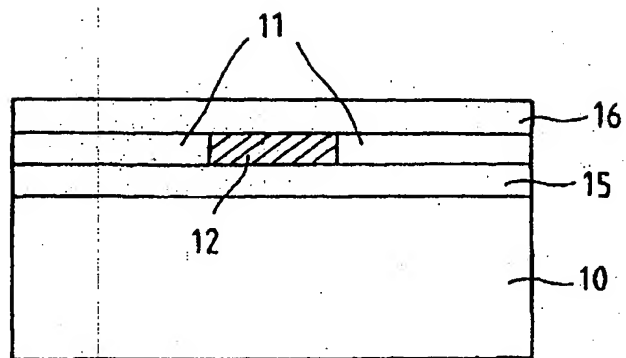


图 5

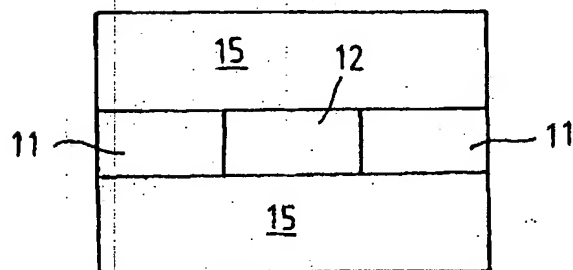


图 6

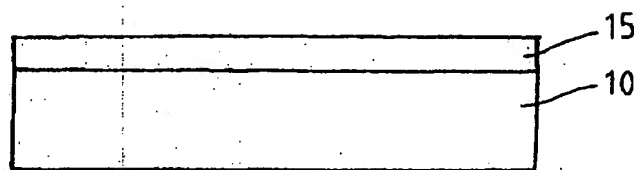


图 7a

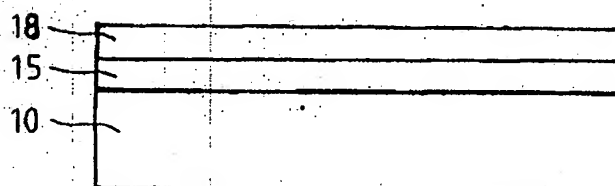


图 7b

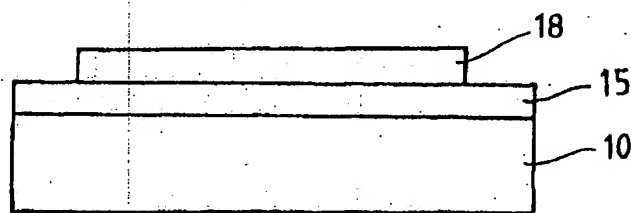


图 7c

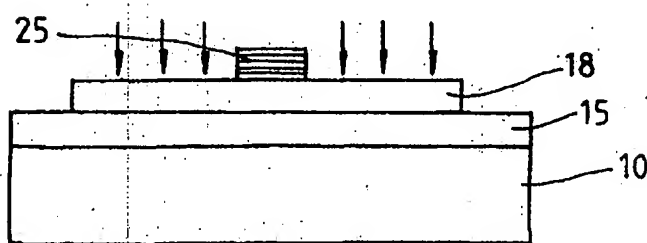


图 7d

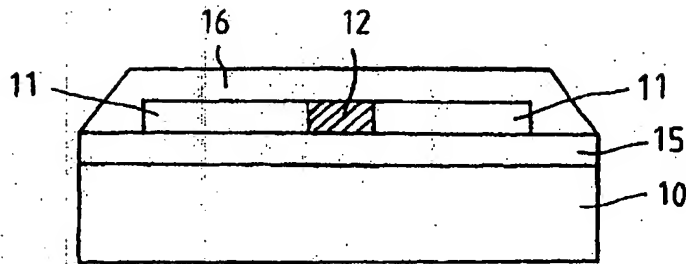


图 7e

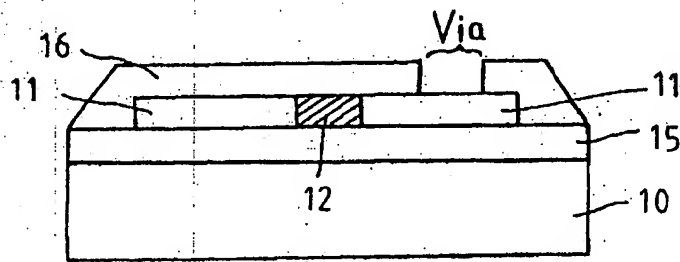


图 7f

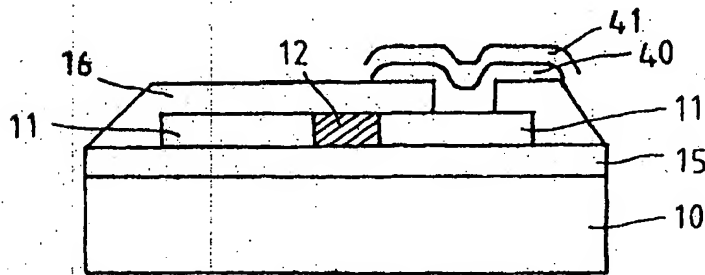


图 7g

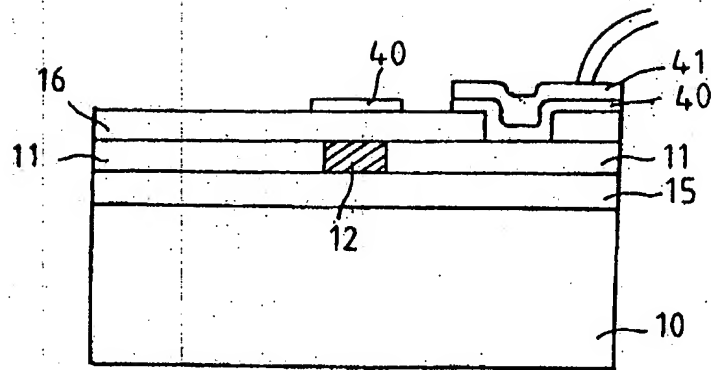


图 7h

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**